

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**SEMICONDUCTOR LIGHT EMITTING DEVICE AND ITS MANUFACTURING METHOD**

Patent Number: JP6350200  
Publication date: 1994-12-22  
Inventor(s): SHAKUDA YUKIO  
Applicant(s): ROHM CO LTD  
Requested Patent: ☐ JP6350200  
Application Number: JP19930137134 19930608  
Priority Number(s):  
IPC Classification: H01S3/18; H01L21/363; H01L33/00  
EC Classification:  
Equivalents: JP3288480B2

---

**Abstract**

---

**PURPOSE:** To improve the power consumption and temperature characteristics by causing the necessary current to flow at a low voltage between the p-type II-VI compound semiconductor film and the electrode.

**CONSTITUTION:** After forming a ZnCdSSe type of II-VI semiconductor film on an n-type GaAs substrate by the growing using MBE successively the n-type semiconductor layer 8, active layer 5, and p-type semiconductor layer 9 at a substrate temperature of 350 deg.C or less, a p-type AlGaAs film 10 with a carrier concentration of  $10^{19}/\text{cm}^3$  or more and a p-type GaAs film 11 are grown using MBE successively on the p-type semiconductor layer 9 at a substrate temperature lower than the substrate temperature at which the II-VI compound semiconductor film 2 was grown, and finally the electrode 12 is formed on top of these layers. In this manner, the energy band gap is made to become successively higher from the electrode 12 to the II-VI compound semiconductor film 2, and the voltage-current characteristic is improved utilizing the fact that the current decreases exponentially with increasing height of the energy barrier.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開 号

特開平6-350200

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 S 3/18

H 0 1 L 21/363

33/00

8122-4M

D 7376-4M

審査請求 未請求 請求項の数3 O L (全6頁)

(21) 出願番号

特願平5-137134

(22) 出願日

平成5年(1993)6月8日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 尺田 幸男

京都市右京区西院清崎町21番地 ローム株式会社内

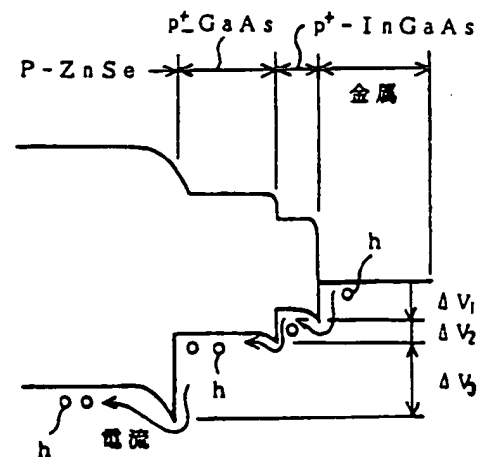
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 半導体発光装置及びその製造方法

(57) 【要約】

【目的】 P型II-VI族半導体膜と電極との間において、小さな電圧で必要な電流が流れるようにして、電力消費及び温度特性の改善を図る。

【構成】 基板温度350℃以下で半導体N型層8、活性層5、半導体P型層9の順序でMBE成長したZnCdSSe系のII-VI族半導体膜2をN型GaAs基板1上に形成した後、II-VI族半導体膜2の成長時における基板温度以下の基板温度で、前記半導体P型層9上に $10^{19}/\text{cm}^3$ 以上のキャリア濃度を有するP型GaAs膜10とP型InGaAs膜11とをその順序でMBE成長し、さらにその上に電極12を形成することにより、エネルギーバンドのレベルが電極12からII-VI族半導体膜2へ順次段階的に高くなるように構成し、電流のエネルギー障壁の高さに対して指数関数的に減少するという特性を利用して電圧/電流特性を改善したもの。



## 【特許請求の範囲】

【請求項1】 半導体N型層、活性層、半導体P型層がその順序で積層状に配された半導体膜をGaAs基板上に形成した半導体発光装置において、前記半導体膜を、前記GaAs基板上にMBE成長したZnCdSSe系またはMgZnCdSSe系のII-VI族半導体により形成し、このII-VI族半導体膜最上層の半導体P型層上に、MBE成長させてなるP型GaAs膜とP型InGaAs膜とをその順序で積層状に形成し、さらに前記P型InGaAs膜上に電極を形成したことを特徴とする半導体発光装置。

【請求項2】 P型GaAs膜及びP型InGaAs膜はいずれも $10^{19}/\text{cm}^3$ 以上のキャリア濃度を有するものである請求項1の半導体発光装置。

【請求項3】 基板温度350℃以下で半導体N型層、活性層、半導体P型層の順序でMBE成長したZnCdSSe系またはMgZnCdSSe系のII-VI族半導体膜をGaAs基板上に形成した後、このII-VI族半導体膜の成長時における基板温度以下の基板温度下で、該II-VI族半導体膜最上層の半導体P型層上にP型GaAs膜とP型InGaAs膜とをその順序でMBE成長し、さらに前記P型InGaAs膜上に電極を形成したことを特徴とする半導体発光装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体レーザ装置、各種電子機器類のディスプレイにおける表示パネル中の要素である青色発光部分あるいは、表示装置に単体で用いられる青色発光素子（LED）、その他CDプレーヤやLDプレーヤ中の信号読み取り、書き込み発光素子、バーコードリーダの発光素子等として使用される半導体発光装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】図5はこの種の半導体発光装置としての半導体レーザ装置の基本的構成と、それに対応するエネルギーバンドの状態を模式的に示している。一般に半導体レーザ装置は、N型半導体基板Aの表面に、半導体N型層B<sub>1</sub>、活性層B<sub>2</sub>、半導体P型層B<sub>3</sub>をその順序でMBE（Molecular Beam Epitaxy）成長してなる半導体膜Bを形成してあり、基板Aの裏面に設けた金属電極E<sub>1</sub>と、半導体膜最上層の半導体P型層B<sub>3</sub>の表面に設けた金属電極E<sub>2</sub>間に順方向、つまり電極E<sub>2</sub>から電極E<sub>1</sub>へバイアス電圧を印加することにより、活性層B<sub>2</sub>から発光するように構成されている。

【0003】周知のように上記構成の半導体レーザ装置のエネルギーバンド構造では、半導体N型層B<sub>1</sub>、半導体P型層B<sub>3</sub>のエネルギーレベルが高く、PN接合部である活性層Cがエネルギーレベルの谷間をなす形となり、また、電極E<sub>1</sub>、E<sub>2</sub>と半導体膜B間にはエネルギー障壁ΔVが生じる。

【0004】従って、正孔hがエネルギー障壁ΔVを越

えるだけの電流Iを得るのに必要な電圧を電極E<sub>2</sub>、E<sub>1</sub>間に印加すると、これによって注入されたキャリア、つまり正孔hや電子が、エネルギーレベルの低い活性層Cに閉じ込められて、誘導放出が盛んに起こる。そして、励起電流が閾値を越えたとき、活性層Cの平行両端面間で光が共振してレーザ発振が起こる。

【0005】図6は従来の半導体レーザ装置のより具体的な構成の一例を示している。この図に示された装置は、N型半導体基板としてN型GaAs基板21が使用され、この基板21上に、半導体膜としてZnCdSSe系（またはMgZnCdSSe系）のII-VI族半導体膜22を形成した、いわゆるZnSe系の青色発光半導体レーザである。

【0006】このII-VI族半導体膜22は、バッファ層であるN型ZnSe層23、クラッド層であるN型ZnSSe層24、活性層であるZnCdSe層25、クラッド層であるP型ZnSSe層26及びバッファ層であるP型ZnSe層27をその順序で基板21上にMBE成長させたものであり、このII-VI族半導体膜最上層のP型ZnSe層27上に直接、Au等の金属を蒸着して正電極28を形成してある。29は基板21の裏面に形成された負電極である。

## 【0007】

【発明が解決しようとする課題】ところで、上記従来の構成の半導体レーザ装置では、金属電極28はP型ZnSe層27上に直接形成されているが、このようなZnSe系P型半導体は金属と直接接合された状態では、両者間にショットキー型の電圧/電流特性が存在することが知られている。

【0008】即ち、従来では図7に示したエネルギーバンド構造から明らかなように、電極28、29間に順方向にバイアス電圧を印加すると、II-VI族半導体膜22の表層をなすP型ZnSe層27と金属製正電極28との間に、急峻なショットキー型のエネルギー障壁ΔVが生じるため、相当な高電圧を印加しないと、正孔hが該エネルギー障壁ΔVを超えるのに必要な電流が得られない。

【0009】従って、上記従来の構成では、装置の駆動に要する消費電力が大きくなるだけでなく、該装置には大電流という大電流が流れることから、装置内の電流密度が異常に高くなるため、駆動時において高温に発熱するこゝろが避けられない。このように上記従来の装置の場合、電力消費が高む上に、常温環境下で動作させることは困難の虞もあって困窮であるなどの問題点があった。

【0010】上記問題点を解決するためには、前記金属電極28からII-VI族半導体膜22へ電流が流れやすい構造にして、電極28、29間に印加するバイアス電圧を可及的に低く抑える必要があるが、その方策として、例えば、電極28を形成後、II-VI族半導体膜22を高温より高い温度に保持することが考えられる。

【0011】即ち、II-VI族半導体膜22を基板21上にMBE成長するときには、通常、基板温度350℃程度の条件下で行われている。そこで、II-VI族半導体膜22を

2上に金属電極28を蒸着した後、再び該半導体膜22を成長温度より高い温度、例えば400℃程度に加熱して、電極28を構成する金属をII-VI族半導体膜22中に拡散させるようにする。

【0012】このように金属をII-VI族半導体膜表層のP型ZnSe層27中に拡散させると、図7の破線で示すように、エネルギー障壁 $\Delta V$ の傾斜が緩和されるので、電流の流れを改善することが可能になる。ところが、II-VI族半導体膜22は成長温度よりも高温に保持すると、それ自体の電気抵抗が高くなるという性質がある。

【0013】従って、この場合、P型ZnSe層27の電気抵抗を低く抑えつつ、該ZnSe層27中へ電極金属を拡散させることにより行う合金化処理は現状では困難であり、結果的には必要な電流を得るためには、電極28、29間に上記従来例と同様の高電圧を印加しなければならないこととなり、上記した問題点の解決策とはなり得ない。

【0014】また、上記とは別の解決策として、 $10^{19}/\text{cm}^3$ 以上の高いキャリア濃度を有するII-VI族半導体膜22を基板21上に成長させることが考えられる。このようにすると図7の2点鎖線で示すように、P型ZnSe層27のエネルギーバンドがエネルギー障壁が低くなるように移行するので、電流の流れやすい構造となるが、II-VI族半導体の場合、このようなキャリア濃度の高いP型膜を得ることは、現状では技術的に殆ど不可能である。

【0015】本発明は、上記のような問題点を解決するもので、II-VI族P型膜と電極との間における電圧/電流特性を改善し、低い電圧で必要な電流が流れるようにすることにより、消費電力及び発熱量を減少させ、半導体発光装置全体の温度特性の改善を図ることを目的とするものである。

【0016】

【課題を解決するための手段】上記目的を達成するために本発明の半導体発光装置では、半導体N型層、活性層、半導体P型層がその順序で積層状に配された半導体膜をGaAs基板上に形成した半導体発光装置において、前記半導体膜を、前記GaAs基板上にMBE成長したZnCdSSe系またはMgZnCdSSe系のII-VI族半導体により形成し、このII-VI族半導体膜最上層の半導体P型層上に、MBE成長させてなるP型GaAs膜とP型InGaAs膜とをその順序で積層状に形成し、さらに前記P型InGaAs膜上に電極を形成したものとしている。

【0017】上記構成において、好ましくは前記P型GaAs膜及びP型InGaAs膜はいずれも $10^{19}/\text{cm}^3$ 以上のキャリア濃度を有するものとする。

【0018】また、本発明の半導体発光装置の製造方法では、基板温度350℃以下で半導体N型層、活性層、半導体P型層の順序でMBE成長したZnCdSSe系またはMgZnCdSSe系のII-VI族半導体膜をGaAs基板上に形成した

後、このII-VI族半導体膜の成長時における基板温度以下の基板温度下で、該II-VI族半導体膜最上層の半導体P型層上にP型GaAs膜とP型InGaAs膜とをその順序でMBE成長し、さらに前記P型InGaAs膜上に電極を形成するようにしている。

【0019】

【作用】上記構成の各層における電極に対するエネルギーバンドのギャップの大きさは、P型InGaAs膜<P型GaAs膜<II-VI族半導体からなる半導体P型層となる。従って、電極から半導体P型層に至る間のエネルギーバンドの様子は、段階的にレベル差が作られている状態となり、エネルギー障壁は3段階に分割された形となる。

【0020】一般に、正負電極間のPN接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少する。従って、従来構成のように、電極と半導体P型層間に単一の大きなエネルギー障壁があるよりも、上記のように3段階に分割されていると、電流が流れやすくなるため、同一電位差のエネルギー障壁であっても、正孔が電極と半導体P型層との間のエネルギー障壁を越えるのに必要な電流を得るための電圧は従来と比較して大きく低下させることが可能になる。

【0021】また、本発明方法によれば、P型GaAs膜、P型InGaAs膜の成長時における基板温度をII-VI族半導体膜の成長時における基板温度以下にすることにより、GaAs、InGaAsの拡散によるII-VI族半導体膜の変質を避けることが可能になる。

【0022】

【実施例】以下、本発明を半導体レーザ装置に適用した実施例を図面を参照しながら説明する。図1は本実施例の構成を模式的に示している。この図に示す装置は、N型GaAs基板1上にZnCdSSe系のII-VI族半導体膜2を形成した青色発光半導体レーザである。

【0023】II-VI族半導体膜2は、バッファ層であるN型ZnSe層3、クラッド層であるN型ZnSSe層4、ZnCdSSe層5、クラッド層であるP型ZnSSe層6及びバッファ層であるP型ZnSe層7をその順序でN型GaAs基板1上にMBE成長させたものであって、これによりN型ZnSe層3、N型ZnSSe層4からなる半導体N型層8と、P型ZnSSe層6、P型ZnSe層7からなる半導体P型層9とのPN接合部に活性層としてのZnCdSSe層5が挟み込まれたPN接合素子構造に構成されるものである。

【0024】前記II-VI族半導体膜最上層のP型ZnSe層7上には、MBE成長させたP型GaAs膜10を形成し、さらに該P型GaAs膜10上に同様にMBE成長させたP型InGaAs膜11を形成してあり、その上で該P型InGaAs膜11上にAu等の金属を蒸着して正電極12が形成されている。13は負電極であって、N型GaAs基板1の裏面に正電極12と同様のAu等の金属を蒸着することにより形成されている。

【0025】なお、本実施例では図2の平面図に示すよ

うに、正電極12を一定幅の帯状に形成することにより、電流拡散を防止し、該電流が効率よく発光に寄与するようにしているが、正電極12の形状は必ずしも帯状に限定されるものではない。

【0026】上記構成において、正負電極12、13間に順方向、つまり正電極12から負電極13へバイアス電圧を印加すると、電流は正電極12、P型InGaAs膜11及びP型GaAs膜10を経てII-VI族半導体膜2へと流れ、該電流によって正孔が正電極12とII-VI族半導体膜2との間のエネルギー障壁を越えて、半導体P型層9から活性層であるZnCdSe層5へと流れ込み、同様に電子は半導体N型層8からZnCdSe層5へと流れ込む。

【0027】このようにしてキャリアが注入されることにより、エネルギーレベルの低いZnCdSe層5に閉じ込められた電子と正孔の再結合が起こり、該ZnCdSe層5から自然光を放出する。さらに、励起電流が閾値を越えると、自然光の放出から誘導放出に移行し、ZnCdSe層5の平行両端面間で光が共振してレーザ発振が起こる。

【0028】図3は本実施例におけるエネルギーバンドの状態を示している。この図に示すように、各層の正電極12に対するエネルギーバンドのギャップの大きさは、P型InGaAs膜11<P型GaAs膜10<II-VI族半導体膜2のP型ZnSe層7の順に高くなっている。従って、正電極12からP型ZnSe層7に至る間のエネルギー障壁は3段階の階段状となり、それぞれの電位差は、正電極12とP型InGaAs膜11間が $\Delta V_1$ 、P型InGaAs膜11とP型GaAs膜10間が $\Delta V_2$ 、P型GaAs膜10とP型ZnSe層7間が $\Delta V_3$ となる。

【0029】そして、これら $\Delta V_1 \sim \Delta V_3$ の和は、図6に示した従来構成の正電極28とP型ZnSe層27間の電位差 $\Delta V$ とほぼ等しいものであるが、正負電極12、13間のPN接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少する。

【0030】図4は本実施例及び従来例の電圧/電流特性を示している。この図から明らかなように、本実施例では従来例と比較して、同一電位差のエネルギー障壁であっても、正孔hが正電極12とP型ZnSe層7間のエネルギー障壁を越えるのに必要な電流を得るための電圧を大きく低下させることが可能になる。

【0031】次に、上記構成の半導体レーザ装置の製造工程を説明すると、まず基板温度が350℃以下の所定温度値に設定されたN型GaAs基板1上に、ZnCdSSe系のII-VI族半導体膜2をMBE成長させることにより、該N型GaAs基板1上にN型ZnSe層3、N型ZnSSe層4、ZnCdSe層5、P型ZnSSe層6及びP型ZnSe層7を積層状に形成する。

【0032】次いで、II-VI族半導体膜2の成長時における基板温度以下の基板温度、従って350℃よりも低い、例えば300℃程度に基板温度を設定し、この温度条件下でII-VI族半導体膜2の最上層であるZnSe層

7上にP型GaAs膜10をMBE成長させる。この場合、P型GaAs膜10のキャリア濃度は $10^{19}/\text{cm}^3$ 以上とする。

【0033】さらに、P型GaAs膜10上にP型InGaAs膜11をMBE成長させる。この場合、P型InGaAs膜11は、その膜厚が臨界膜厚以下で、キャリア濃度が前記P型GaAs膜10と同様に $10^{19}/\text{cm}^3$ 以上とする。また、このときの基板温度もP型GaAs膜10の成長時と同様にII-VI族半導体膜2の成長時における基板温度以下に設定している。

【0034】このようにP型GaAs膜10及びP型InGaAs膜11の成長温度をZnCdSSe系のII-VI族半導体膜2の成長温度以下にすることにより、P型ZnSe層7へのP型GaAs膜10及びP型InGaAs膜11が拡散して電気的に高抵抗な合金層が生成されるのが防止され、該P型ZnSe層7が変質するのを回避することができる。

【0035】P型GaAs膜10上にP型InGaAs膜11が形成された後、該P型InGaAs膜11上に正電極12となるAu等の金属を蒸着し、さらに正電極12、P型InGaAs膜11及びP型GaAs膜10の不要部分をエッチングにより除去して、図2に示したようにこれらのP型膜10、11及び正電極12を帯状に成形する。

【0036】なお、上記実施例では、半導体膜2はZnCdSSe系II-VI族半導体により構成されているものとしたが、本発明では、該半導体膜2をMgZnCdSSe系II-VI族半導体により構成しても、同様の作用、効果を得ることができる。

【0037】

【発明の効果】以上説明したように本発明の半導体発光装置によるときは、GaAs基板上にMBE成長したZnCdSSe系またはMgZnCdSSe系のII-VI族半導体膜上に、MBE成長させてなるP型GaAs膜とP型InGaAs膜とをその順序で積層状に形成し、さらに前記P型InGaAs膜上に電極を形成しているため、正負電極間にバイアス電圧を印加したとき、電極と半導体P型層間に急峻なエネルギー障壁が生じるのではなく、P型GaAs膜及びP型InGaAs膜の存在によって段階的に分割されたエネルギー障壁が発生することになる。

【0038】この場合、正負電極間のPN接合構造を流れる電流量はエネルギー障壁の高さに対して指数関数的に減少するので、電流が流れやすくなる。従って、同一電位差のエネルギー障壁であっても、正孔が電極と半導体P型層との間のエネルギー障壁を越えるのに必要な電流を得るための電圧を従来と比較して大きく低下させることができる。

【0039】このように本発明では、II-VI族P型膜と電極との間における電圧/電流特性が小さな電圧で必要な電流が流れるように改善されるので、装置の動作に必要な電流を得るための電圧が低減して、消費電力が減少する。しかも、電圧を低く抑制できることにより、発光

量が減少するので、半導体発光装置全体の温度特性の改善を図ることができ、また、装置の劣化速度も抑えられて、製品寿命も長くなる等の優れた効果を発揮するものとなった。

【0040】請求項2によるときは、 $10^{19}/\text{cm}^3$ 以上のキャリア濃度を有するP型GaAs膜及びP型InGaAs膜とすることにより、このようなキャリア濃度の高いII-VI族P型膜を得ることが不可能な現状において、上記電圧／電流特性の改善効果と相俟って一層、電流の流れやすい構造とすることができる。

【0041】請求項3によるときは、前記II-VI族半導体膜をGaAs基板上でMBE成長させるに際し、基板温度350℃以下で行うようにし、しかも、このII-VI族半導体膜の成長時における基板温度以下の基板温度下で、該II-VI族半導体膜最上層の半導体P型層上にP型GaAs膜とP型InGaAs膜とをMBE成長させるようにしているので、P型GaAs膜、P型InGaAs膜が拡散して電気的に高抵抗な合金層が生成されるのが防止され、II-VI族半導体膜の変質を回避できる。

【図面の簡単な説明】

【図1】 本発明の実施例の構成を模式的に示す断面

図。

【図2】 その平面図。

【図3】 本実施例におけるエネルギーバンドの状態を示す特性図。

【図4】 本実施例及び従来例の電圧／電流特性を比較して示す線図。

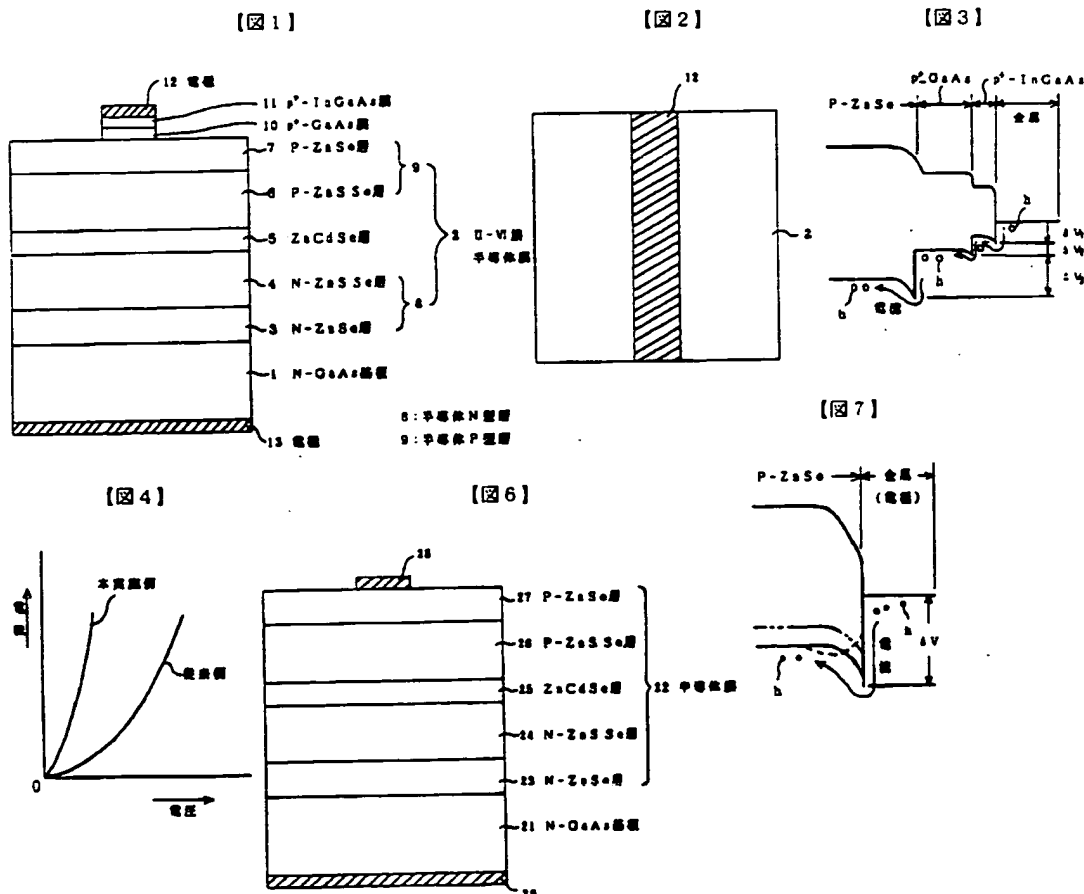
【図5】 一般的な半導体レーザの構成及びそれに対応するエネルギーバンドの状態を模式的に示す図。

【図6】 従来例の構成を模式的に示す断面図。

【図7】 従来例におけるエネルギーバンドを示す特性図。

【符号の説明】

- 1 GaAs基板
- 2 II-VI族半導体膜
- 5 活性層
- 8 半導体N型層
- 9 半導体P型層
- 10 P型GaAs膜
- 11 P型InGaAs膜
- 12 電極



【図5】

